

**SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE, AND MANUFACTURE OF SEMICONDUCTOR DEVICE**

Publication number: JP2001077049

Publication date: 2001-03-23

Inventor: SAKURAI MASAHICO; ARAKI KOJI; MATSUZAKI TAKASHI; TAKAYAMA SHINICHI; WADA ISAMU; KAMEBUCHI TAKESHI; YAMAMOTO MANABU

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- International: H01L21/52; H01L21/28; H01L21/02; (IPC1-7): H01L21/28

- European:

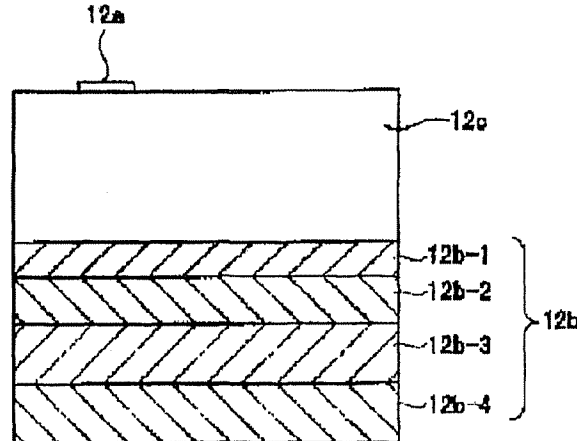
Application number: JP19990251908 19990906

Priority number(s): JP19990251908 19990906

Report a data error here

**Abstract of JP2001077049**

**PROBLEM TO BE SOLVED:** To improve the electric characteristics of a rear-surface electrode structure by sequentially laminating a vanadium or titanium metal layer, nickel or nickel alloy layer, metal germanium antimony alloy layer, and gold tin alloy layer which is the outermost surface to form an electrode on the rear-surface side. **SOLUTION:** An electrode is formed on both front and rear surfaces of a silicon substrate 12c. A surface electrode 12a is, for example, an aluminum electrode while a rear surface electrode 12b comprises a first metal layer 12b-1 of vanadium or titanium, a second metal layer 12b-2 of nickel or nickel alloy which is laminated on the first metal layer 12b-1, a third metal layer 12b-3 of gold germanium antimony alloy which is laminated on the second metal layer 12b-2, and a fourth metal layer 12b-4 of gold thin alloy which is laminated on the third metal layer 12b-3. Here, the metal thin alloy layer of the fourth metal layer 12b-4 is the outermost side electrode.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-77049  
(P2001-77049A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 R 4 M 1 0 4
21/52		21/52	B 5 F 0 4 7

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-251908

(22) 出願日 平成11年9月6日 (1999.9.6)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 櫻井 正彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 荒木 浩二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

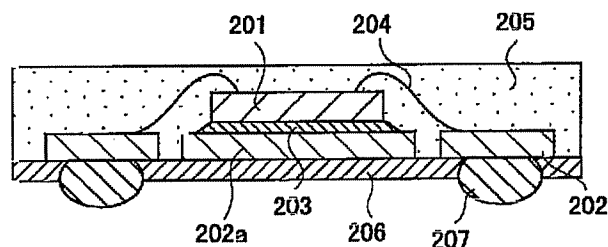
最終頁に続く

(54) 【発明の名称】 半導体素子、半導体装置、及び半導体装置の製造方法

(57) 【要約】

【課題】 良好な電気特性を有すると共に、超小型及び耐熱性に優れた半導体装置を提供する。

【解決手段】 表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続されたセラミックス製回路基板と、表裏両面に電極が形成された半導体素子とを有し、前記セラミックス製回路基板の表面に形成された前記回路パターンの素子搭載部上に前記半導体素子とその裏面電極を介して接合されると共に、前記回路パターンのボンディング部が前記半導体素子の表面電極と金属細線を介して接合された半導体装置であって、前記セラミックス製回路基板表面上の前記回路パターン面には、表面層の酸化防止作用を有し且つ前記金属細線と高密着性を有する金属メッキ層が形成され、前記半導体素子の裏面電極の電極最外面に、前記金属メッキ層の異常拡散を阻止するための低融点合金層を形成した。



## 【特許請求の範囲】

【請求項1】 シリコン基板の表裏両面に電極が形成された半導体素子において、

前記裏面側の電極は、

前記シリコン基板の裏面に形成されたバナジウム又はチタニウムの第1金属層と、前記第1金属層に積層被着されたニッケル又はニッケル合金の第2金属層と、前記第2金属層に積層被着された金・ゲルマニウム・アンチモン合金の第3金属層と、前記第3金属層に積層被着された金・錫合金の第4金属層とを有し、前記第4金属層を電極最外面とする構造としたことを特徴とする半導体素子。

【請求項2】 表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続されたセラミックス製回路基板と、シリコン基板の表裏両面に電極が形成された半導体素子とを有し、前記セラミックス製回路基板の表面に形成された前記回路パターンの素子搭載部上に前記半導体素子とその裏面電極を介して接合されると共に、前記回路パターンのボンディング部が前記半導体素子の表面電極と金属細線を介して接合された半導体装置であって、

前記セラミックス製回路基板表面上の前記回路パターン面には、表面層の酸化防止作用を有し且つ前記金属細線と高密度着性を有する金属メッキ層が形成され、前記半導体素子の裏面電極の電極最外面に、前記金属メッキ層の異常拡散を阻止するための低融点合金層を形成したことを特徴とする半導体装置。

【請求項3】 前記半導体素子の前記裏面電極は、前記シリコン基板の裏面に形成されたバナジウム又はチタニウムの第1金属層と、前記第1金属層に積層被着されたニッケル又はニッケル合金の第2金属層と、前記第2金属層に積層被着された金・ゲルマニウム・アンチモン合金の第3金属層と、前記第3金属層に積層被着された金・錫合金の第4金属層とを有し、前記第4金属層を前記低融点合金層とする構造であることを特徴とする請求項2記載の半導体装置。

【請求項4】 表側には同一回路パターンを規則的に複数個形成し且つ裏側には表側の前記回路パターンにスルーホールを介して接続された電極を規則的に複数個形成したセラミックス製回路基板に、請求項1記載の半導体素子を還元性又は不活性雰囲気下の第1の温度で第1の時間に亘り複数個配置し、その後前記複数個の半導体素子を配置したセラミックス製回路基板を前記第1の温度よりも高い第2の温度で第1の時間よりも短い第2の時間に亘り加熱し、前記セラミックス製回路基板における前記回路パターンの内部電極と前記半導体素子の表面電極とを金属細線で接続し、前記複数個の半導体素子が配置され金属細線で接続されたセラミックス製回路基板の前記回路パターン形成面全

体を樹脂で封止し、これを個々の半導体装置に分割したことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、裏面電極を有する半導体素子、この半導体素子を搭載した半導体装置、及び前記半導体装置の製造方法に関する。

## 【0002】

【従来の技術】従来、ダイオードやトランジスタ等の個別半導体装置としては、例えば図6に示すようなものがあった。

【0003】図6(a)、(b)は、従来の小信号トランジスタの構造を示す図であり、同図(a)はその平面図、同図(b)は断面図である。

【0004】同図に示すように、この半導体装置は、表面電極102と裏面電極103を有する半導体素子101が、リードフレーム104の素子搭載部104aに裏面電極103を介して固定されている。さらに、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間がAuやCu等の金属細線105で接続されて、これら全体がエポキシ等の高分子樹脂106で封止され、リードフレーム104のアウトリード104cが所定の形状に整形・切断された構造を成している。

【0005】半導体素子101の裏面電極103は、バナジウム又はチタニウムと、ニッケル又はニッケル合金と、金・ゲルマニウム・アンチモン合金とから成る。この半導体素子101を、リードフレーム104の素子搭載部104aに還元性雰囲気下の高温度(390℃程度)で配置し、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間をAuやCu等の金属細線105で接続する。

【0006】しかる後に、これら全体をエポキシ等の高分子樹脂106で封止し、リードフレーム104のアウトリード104cに半田メッキや半田ディップ等の外装処理を施し、所定の形状に整形・切断して、上記構造の半導体装置を得ている。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置では、半導体装置の信頼性(主に耐湿性)を維持するために、リードフレーム104のインナーリード104bに屈曲部104dを設ける必要があること、リードフレーム104の加工限界からインナーリード104bと素子搭載部104aとの間隔をほぼリードフレーム104板厚と同等以下にはできないこと、さらにアウトリード104cを有すること等の理由により、パッケージの超小型化を実現することができなかった。

【0008】そこで、半導体装置の小型化を図る観点から、図7に示すような構造が特開平9-275178号

公報に開示されている。

【0009】図7に示す半導体装置は、金属導体層202の素子搭載部202aに接着剤層203によって固着された半導体素子201と、該半導体素子201に金属細線204によって接続した金属導体層202とを樹脂205で封止し、その一面に金属導体層202の一部が露出するように絶縁レジスト層206を形成する。そして、露出した金属導体層202に突起状の外部接続端子207を設けるようにしたものである。

【0010】確かに本公報の構造であれば、リードフレームを使用しないため、パッケージから突出した外部リード端子を持たない構造となり、しかもデザインルールの微細化が可能であり、装置の超小型化を図ることができる。しかし、本公報に開示された構造は、半導体素子としてLSI等の集積回路チップを前提としており、上記図6で説明した裏面電極を有する個別半導体装置に単純に適用することはできない。例えば、上記公報の装置では、金属導体層202の素子搭載部202aに半導体素子201を接合するための接着剤層203として銀ペーストを用いているが、これを個別半導体装置の裏面電極に使用した場合にはオーミック特性が悪化する等の問題が発生する。

【0011】また、リードフレームを使用せずに、スルーホール型の内部配線層を有するセラミックス基板をパッケージ本体として、その上面に半導体素子を搭載することで、装置の小型化を図る構造も開示されている（例えば、特開平10-242322号公報）。この構造も、上記同様の理由で、裏面電極を有する個別半導体装置に単純に適用することはできない。

【0012】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、良好な電気特性を保つような裏面電極構造を有する半導体素子を提供することである。またその他の目的は、前記半導体素子を搭載して良好な電気特性を有すると共に、超小型及び耐熱性に優れた半導体装置を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明に係る半導体素子では、シリコン基板の表裏両面に電極が形成された半導体素子において、前記裏面側の電極は、前記シリコン基板の裏面に形成されたバナジウム又はチタニウムの第1金属層と、前記第1金属層に積層被着されたニッケル又はニッケル合金の第2金属層と、前記第2金属層に積層被着された金・ゲルマニウム・アンチモン合金の第3金属層と、前記第3金属層に積層被着された金・錫合金の第4金属層とを有し、前記第4金属層を電極最外面とする構造としたことを特徴とする。

【0014】請求項2記載の発明に係る半導体装置では、表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続されたセラミックス製回路基

板と、シリコン基板の表裏両面に電極が形成された半導体素子とを有し、前記セラミックス製回路基板の表面に形成された前記回路パターンの素子搭載部上に前記半導体素子とその裏面電極を介して接合されると共に、前記回路パターンのボンディング部が前記半導体素子の表面電極と金属細線を介して接合された半導体装置であって、前記セラミックス製回路基板表面上の前記回路パターン面には、表面層の酸化防止作用を有し且つ前記金属細線と高密着性を有する金属メッキ層が形成され、前記半導体素子の裏面電極の電極最外面に、前記金属メッキ層の異常拡散を阻止するための低融点合金層を形成したことを特徴とする。

【0015】請求項3記載の発明に係る半導体装置では、請求項2記載の半導体装置において、前記半導体素子の前記裏面電極は、前記シリコン基板の裏面に形成されたバナジウム又はチタニウムの第1金属層と、前記第1金属層に積層被着されたニッケル又はニッケル合金の第2金属層と、前記第2金属層に積層被着された金・ゲルマニウム・アンチモン合金の第3金属層と、前記第3金属層に積層被着された金・錫合金の第4金属層とを有し、前記第4金属層を前記低融点合金層とする構造であることを特徴とする。

【0016】請求項4記載の発明に係る半導体装置の製造方法では、表側には同一回路パターンを規則的に複数個形成し且つ裏側には表側の前記回路パターンにスルーホールを介して接続された電極を規則的に複数個形成したセラミックス製回路基板に、請求項1記載の半導体素子を還元性又は不活性雰囲気下の第1の温度で第1の時間に亘り複数個配置し、その後前記複数個の半導体素子を配置したセラミックス製回路基板を前記第1の温度よりも高い第2の温度で第1の時間よりも短い第2の時間に亘り加熱し、前記セラミックス製回路基板における前記回路パターンの内部電極と前記半導体素子の表面電極とを金属細線で接続し、前記複数個の半導体素子が配置され金属細線で接続されたセラミックス製回路基板の前記回路パターン形成面全体を樹脂で封止し、これを個々の半導体装置に分割したことを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0018】図1(a)、(b)は、本発明の実施の一形態に係る半導体装置の構造図であり、同図(a)はその側面図、同図(b)断面図である。

【0019】この半導体装置は、例えば1個の小信号トランジスタを搭載したパッケージで構成されるものであり、トランジスタ搭載用のセラミックス製回路基板11を備えている。

【0020】セラミックス製回路基板11の表面には、搭載する半導体素子（トランジスタ）12に対応した回路パターン（素子搭載部13a及び内部電極13b）が

形成され、その回路形成面と反対の基板裏面には、スルーホール14を介して外部電極15が設けられている。回路パターン及び外部電極15の表面には、ニッケル(Ni)メッキと金(Au)メッキが施されている。この金メッキを設けることにより、表面のニッケル層の酸化が防止できると共に、後述する金属細線16との密着性が良好となる。

【0021】セラミックス製回路基板11に搭載される半導体素子12は、図2に示すように、シリコン(Si)基板12cの表裏両面に電極が形成され、その表面電極12aは例えばアルミ(Al)電極であり、裏面電極12bは次のような構造を成している。

【0022】即ち、裏面電極12bは、バナジウム(V)又はチタニウム(Ti)の第1金属層12b-1と、この第1金属層12b-1に積層被着されたニッケル(Ni)又はニッケル合金の第2金属層12b-2と、第2金属層12b-2に積層被着された金(Au)・ゲルマニウム(Ge)・アンチモン(Sb)合金の第3金属層12b-3と、第3金属層12b-3に積層被着された金(Au)・錫(Sn)合金の第4金属層12b-4とで構成され、第4金属層12b-4の金・錫合金層(本発明の特徴部分)が電極最外面となる構造となっている。ここで、各金属層の厚さは、例えば、第1金属層12b-1が500~800Å、第2金属層12b-2が1000~3000Å、第3及び第4金属層12b-3、12b-4が10000~20000Åに設定されている。

【0023】さらに、前記セラミックス製回路基板11の表面に形成された回路パターンの素子搭載部13a上に半導体素子12がその裏面電極12bを介して共晶接合されると共に、前記回路パターンの内部電極13bが半導体素子12の表面電極12aと金属細線16を介して接合されている。そして、これらを含んだセラミックス製回路基板11の内部回路形成面全体が、マスク印刷法やトランスファーモールド法等によりエポキシ等の高分子樹脂17で封止されている。

【0024】次に、上記構造の半導体装置の製造方法を、図3(a)、(b)、(c)と図4(d)、(e)の工程図を参照しつつ説明する。

【0025】先ず、同一回路パターンを多数形成したセラミックス製回路基板11を用意する(図3(a))。具体的に説明すると、セラミックス製回路基板11は、図5(a)、(b)の平面図に示すが如くマトリックス状に区分された多数のパッケージ領域を有し、その表面には、図5(a)に示すように、搭載する半導体素子12(本実施形態ではトランジスタ)の電極に対応した回路パターンが形成されている。即ち、図5(a)中の13aは、例えばコレクタ電極を裏面電極12bに有するトランジスタを搭載する素子搭載部であり、13bは表面電極(ベース電極/エミッタ電極)用のパターンであ

る。

【0026】一方、セラミックス製回路基板11の裏面には、図3(a)に示すように、前記表面上の回路パターンにスルーホール14を介して接続された外部電極15が形成されている。尚、回路パターン及び外部電極15の表面にはニッケルメッキと金メッキが施されている。

【0027】続く工程(図3(b))では、半導体素子12をセラミックス製回路基板11の素子搭載部13aにマウントする。具体的には、前述したようにバナジウム又はチタニウムと、ニッケル又はニッケル合金と、金・ゲルマニウム・アンチモン合金と、金・錫合金からなる裏面電極12bとを有する半導体素子12を順次1つずつ、それぞれセラミックス製回路基板11の各素子搭載部13aに還元性又は不活性雰囲気下の300~350℃で配置し、各半導体素子12の裏面電極12bとセラミックス回路基板11の素子搭載部13aとの結合を行う。

【0028】従来構造の半導体装置では、半導体素子12を380~450℃で配置するが、このとき、多数の半導体素子12をセラミックス製回路基板11に配置するのに要する時間は、配置する半導体素子12の個数により増大するが、最初に配置した半導体素子12と最後に配置した半導体素子12では、380~450℃の温度にさらされている時間に大きな差が生じてくる。初めの方で配置した半導体素子12は、長時間に亘って300~350℃の温度にさらされることになり、その結果、セラミックス製回路基板11の回路パターン表面に施された金メッキが半導体素子12の裏面電極12bに対して過剰な拡散を起こし、当該半導体素子12の電気特性を劣化させる可能性がある。これを防止するために、本実施形態では、半導体素子12の裏面電極12bの最外面に比較的融点の低い金・錫合金(第4金属層12b-4)を配し、従来に比べて比較的低温度の300~350℃での配置を可能にしている。

【0029】この段階では、裏面電極12b中のアンチモンのシリコンへの拡散が起こらず、半導体素子12の電気特性は不十分であるが、この後に、多数の半導体素子12を配置したセラミックス製回路基板11を360~400℃で短時間の加熱を行うことにより、裏面電極12b中のアンチモンがシリコンへ拡散し、半導体素子12の電気特性を向上させることができる。

【0030】しかる後に、半導体素子12の表面電極12aとセラミックス製回路基板11の内部電極13bとを金属細線16で接続し(図3(c))、更にこれらを含んだセラミックス製回路基板11の内部回路形成面全体を、マスク印刷法やトランスファーモールド法等によりエポキシ等の高分子樹脂17で封止する(図4(d))。

【0031】さらに、この状態の生成体をブレードダイ

形成され、その回路形成面と反対の基板裏面には、スルーホール14を介して外部電極15が設けられている。回路パターン及び外部電極15の表面には、ニッケル(Ni)メッキと金(Au)メッキが施されている。この金メッキを設けることにより、表面のニッケル層の酸化が防止できると共に、後述する金属細線16との密着性が良好となる。

【0021】セラミックス製回路基板11に搭載される半導体素子12は、図2に示すように、シリコン(Si)基板12cの表裏両面に電極が形成され、その表面電極12aは例えばアルミ(Al)電極であり、裏面電極12bは次のような構造を成している。

【0022】即ち、裏面電極12bは、バナジウム(V)又はチタニウム(Ti)の第1金属層12b-1と、この第1金属層12b-1に積層被着されたニッケル(Ni)又はニッケル合金の第2金属層12b-2と、第2金属層12b-2に積層被着された金(Au)・ゲルマニウム(Ge)・アンチモン(Sb)合金の第3金属層12b-3と、第3金属層12b-3に積層被着された金(Au)・錫(Sn)合金の第4金属層12b-4とで構成され、第4金属層12b-4の金・錫合金層(本発明の特徴部分)が電極最外面となる構造となっている。ここで、各金属層の厚さは、例えば、第1金属層12b-1が500~800Å、第2金属層12b-2が1000~3000Å、第3及び第4金属層12b-3、12b-4が10000~20000Åに設定されている。

【0023】さらに、前記セラミックス製回路基板11の表面に形成された回路パターンの素子搭載部13a上に半導体素子12がその裏面電極12bを介して共晶接合されると共に、前記回路パターンの内部電極13bが半導体素子12の表面電極12aと金属細線16を介して接合されている。そして、これらを含んだセラミックス製回路基板11の内部回路形成面全体が、マスク印刷法やトランスファーモールド法等によりエポキシ等の高分子樹脂17で封止されている。

【0024】次に、上記構造の半導体装置の製造方法を、図3(a)、(b)、(c)と図4(d)、(e)の工程図を参照しつつ説明する。

【0025】先ず、同一回路パターンを多数形成したセラミックス製回路基板11を用意する(図3(a))。具体的に説明すると、セラミックス製回路基板11は、図5(a)、(b)の平面図に示すが如くマトリックス状に区分された多数のパッケージ領域を有し、その表面には、図5(a)に示すように、搭載する半導体素子12(本実施形態ではトランジスタ)の電極に対応した回路パターンが形成されている。即ち、図5(a)中の13aは、例えばコレクタ電極を裏面電極12bに有するトランジスタを搭載する素子搭載部であり、13bは表面電極(ベース電極/エミッタ電極)用のパターンであ

る。

【0026】一方、セラミックス製回路基板11の裏面には、図3(a)に示すように、前記表面上の回路パターンにスルーホール14を介して接続された外部電極15が形成されている。尚、回路パターン及び外部電極15の表面にはニッケルメッキと金メッキが施されている。

【0027】続く工程(図3(b))では、半導体素子12をセラミックス製回路基板11の素子搭載部13aにマウントする。具体的には、前述したようにバナジウム又はチタニウムと、ニッケル又はニッケル合金と、金・ゲルマニウム・アンチモン合金と、金・錫合金からなる裏面電極12bとを有する半導体素子12を順次1つずつ、それぞれセラミックス製回路基板11の各素子搭載部13aに還元性又は不活性雰囲気下の300~350℃で配置し、各半導体素子12の裏面電極12bとセラミックス回路基板11の素子搭載部13aとの結合を行う。

【0028】従来構造の半導体装置では、半導体素子12を380~450℃で配置するが、このとき、多数の半導体素子12をセラミックス製回路基板11に配置するのに要する時間は、配置する半導体素子12の個数により増大するが、最初に配置した半導体素子12と最後に配置した半導体素子12では、380~450℃の温度にさらされている時間に大きな差が生じてくる。初めの方で配置した半導体素子12は、長時間に亘って300~350℃の温度にさらされることになり、その結果、セラミックス製回路基板11の回路パターン表面に施された金メッキが半導体素子12の裏面電極12bに対して過大な拡散を起こし、当該半導体素子12の電気特性を劣化させる可能性がある。これを防止するために、本実施形態では、半導体素子12の裏面電極12bの最外面に比較的融点の低い金・錫合金(第4金属層12b-4)を配し、従来に比べて比較的低温度の300~350℃での配置を可能にしている。

【0029】この段階では、裏面電極12b中のアンチモンのシリコンへの拡散が起こらず、半導体素子12の電気特性は不十分であるが、この後に、多数の半導体素子12を配置したセラミックス製回路基板11を360~400℃で短時間の加熱を行うことにより、裏面電極12b中のアンチモンがシリコンへ拡散し、半導体素子12の電気特性を向上させることができる。

【0030】しかる後に、半導体素子12の表面電極12aとセラミックス製回路基板11の内部電極13bとを金属細線16で接続し(図3(c))、更にこれらを含んだセラミックス製回路基板11の内部回路形成面全体を、マスク印刷法やトランスファーモールド法等によりエポキシ等の高分子樹脂17で封止する(図4(d))。

【0031】さらに、この状態の生成体をブレードダイ

シング法を用いて個々の半導体装置に分割すれば(図4(e))、図1に示した構造の超小型半導体装置を得ることができる。

【0032】本実施形態では、次のような利点を有している。

【0033】(1)従来のリードフレームと比較して、より細かなデザインルールのセラミックス製回路基板11を用いることにより、且つスルーホール技術により内部回路直下のセラミックス基板裏面に外部電極の設置が可能なセラミックス回路基板11を用いることにより、突出した外部リードを持たない、外部電極15が装置外形内に収まった超小型の半導体装置が実現する。

【0034】(2)内部回路及びこれの反対面に配置された外部電極とが規則的に複数個形成されたセラミックス製回路基板11を用いることにより、従来のリードフレームを使用して単体処理する半導体装置に比較して、半導体装置製造における材料利用効率が飛躍的に向上し、低価格の超小型半導体が実現する。

【0035】(3)半導体素子12の裏面電極12bに金・錫合金層12b-4を付加することにより、セラミックス製回路基板11への比較的低温での半導体素子12の配置が可能となり、半導体素子12を複数個配置する際の高温・長時間放置による半導体素子12の電気特性の劣化を防止することができ、その後の高温・短時間熱処理により、良好な電気特性を有する半導体装置が得られる。

【0036】なお、本発明は図示の実施形態に限定されず種々の変形が可能であり、例えば上記実施形態では、半導体素子としてトランジスタを使用したか、例えばダイオードであってもよい。ダイオードである場合は、その電極数に対応して図5(a)、(b)に示したセラミックス製回路基板11の回路パターンが変更される。

【0037】又、複数個のトランジスタや複数個のダイオードを搭載した半導体装置であってもよく、それぞれの電極数に対応して図5(a)、(b)に示したセラミックス製回路基板11の回路パターンが変更される。

【0038】

【発明の効果】以上詳細に説明したように、請求項1記載の発明に係る半導体素子によれば、半導体素子の裏面電極に接合される部材に金メッキが施されていた場合に、高温処理時において該裏面電極に対する前記金メッキの異常拡散により半導体素子の電気的特性が悪化するのを防止することが可能になる。

【0039】請求項2記載の発明に係る半導体装置によれば、半導体装置の超小型及び耐熱性を実現することができ、しかも半導体素子の裏面電極の最外面に形成した低融点合金層により、高温処理時においてセラミックス

製回路基板の金属メッキからの半導体素子裏面電極に対する異常拡散を阻止することができ、半導体素子の電気的特性を良好に保つことが可能になる。これにより、半導体装置の信頼性が向上する。

【0040】請求項3記載の発明に係る半導体装置によれば、半導体装置の超小型及び耐熱性を実現することができ、且つ請求項1記載の発明と同等の効果を得ることができる。

【0041】請求項4記載の発明に係る半導体装置の製造方法によれば、上述した請求項3記載の発明の効果の有する半導体装置を簡単な製造方法で実現することが可能になる。即ち、半導体素子の裏面電極の最外面に金・錫合金の第4金属層が形成されていることにより、セラミックス製回路基板への比較的低温での半導体素子の配置が可能となり、半導体素子の複数個配置時の高温・長時間放置による半導体素子の電気特性の劣化を防止することができ、さらにその後の高温・短時間熱処理により、良好な電気特性を有する半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る半導体装置の構造図である。

【図2】実施形態に係る半導体素子の断面構造図である。

【図3】実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図4】図3の続きの工程断面図である。

【図5】実施形態に係るセラミックス製回路基板の平面図である。

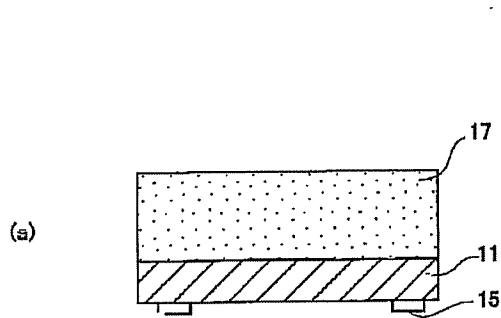
【図6】従来の半導体装置の断面構造図である。

【図7】従来の他の半導体装置の断面構造図である。

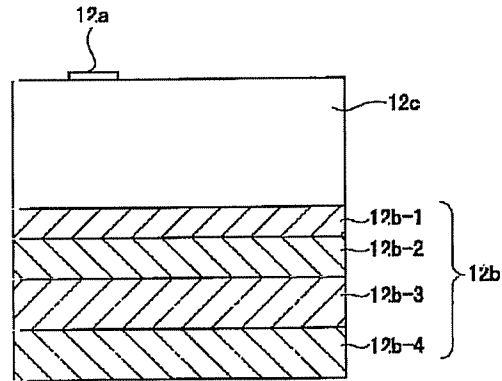
【符号の説明】

- 11 セラミックス製回路基板
- 12 半導体素子
- 12a 表面電極
- 12b 裏面電極
- 12c シリコン基板
- 12b-1 第1金属層
- 12b-2 第2金属層
- 12b-3 第3金属層
- 12b-4 第4金属層
- 13a 素子搭載部
- 13b 内部電極
- 14 スルーホール
- 15 外部電極
- 16 金属細線
- 17 高分子樹脂

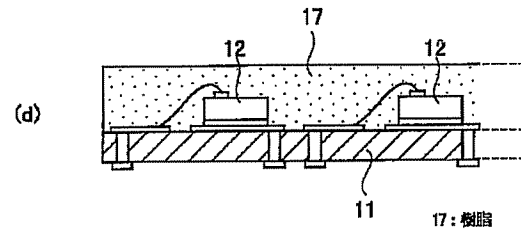
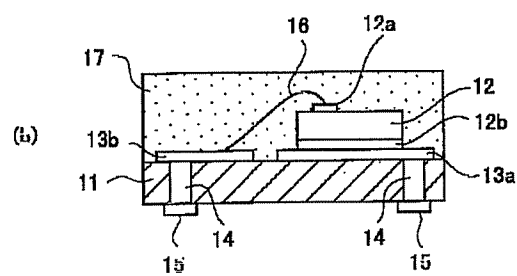
【图 1】



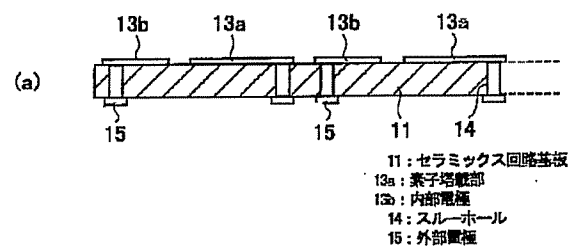
【図2】



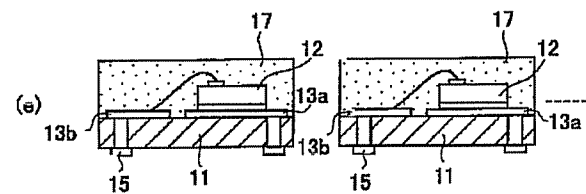
【図4】



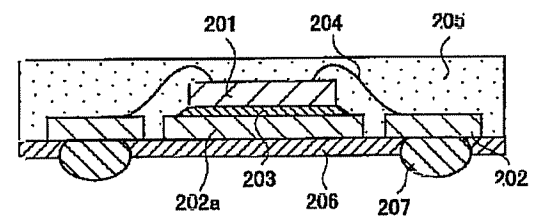
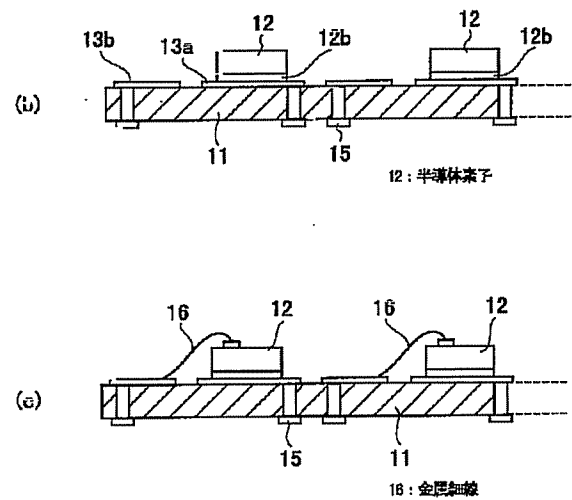
【図3】



11: セラミックス回路基板  
13a: 素子搭載部  
13b: 内部電極  
14: スルーホール  
15: 外部電極

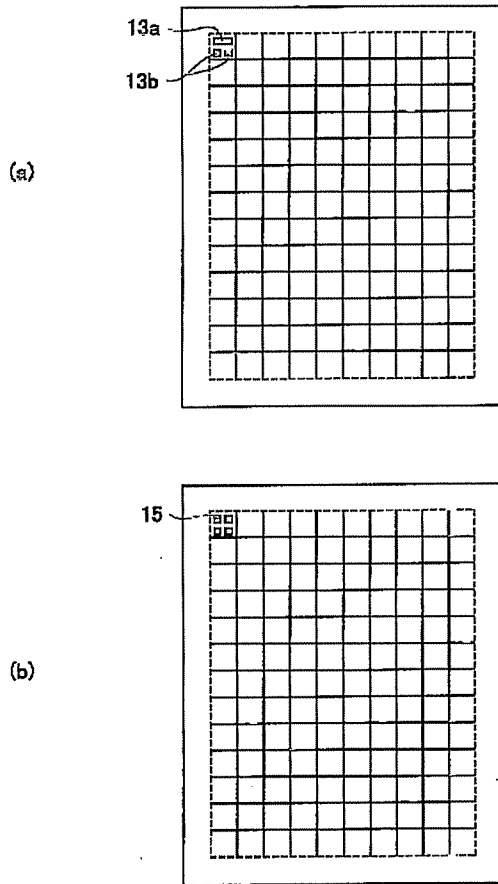


【図7】

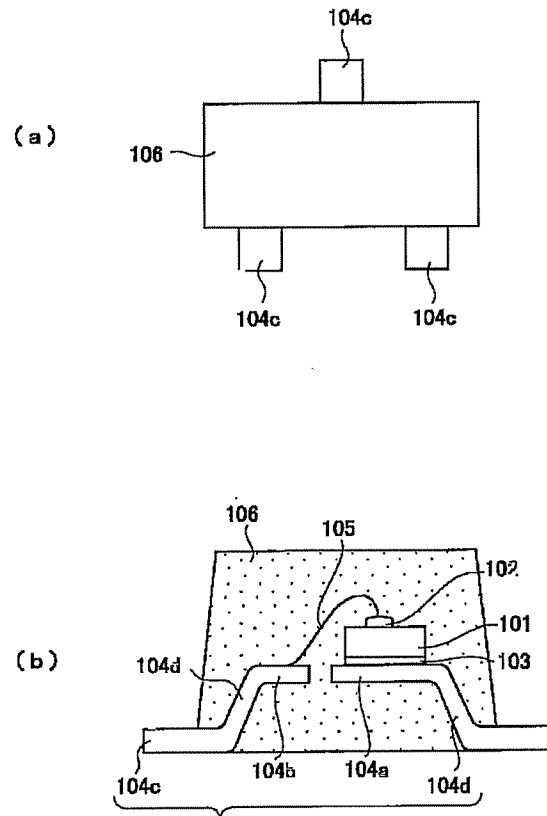




【図5】



【図6】



フロントページの続き

(72)発明者 松崎 隆  
兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路半導体工場内

(72)発明者 高山 晋一  
兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路半導体工場内

(72)発明者 和田 勇  
兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路半導体工場内

(72)発明者 亀淵 丈司  
兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路半導体工場内

(72)発明者 山本 学  
兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路半導体工場内

Fターム(参考) 4M104 BB13 BB14 CC01 FF17 HH05  
5F047 AA14 BA05 BC02 BC07 BC12

## 【特許請求の範囲】

【請求項1】 シリコン基板の表裏両面に電極が形成された半導体素子において、

前記裏面側の電極は、

前記シリコン基板の裏面に形成されたバナジウム又はタニウムの第1金属層と、前記第1金属層に積層被着されたニッケル又はニッケル合金の第2金属層と、前記第2金属層に積層被着された金・ゲルマニウム・アンチモン合金の第3金属層と、前記第3金属層に積層被着された金・錫合金の第4金属層とを有し、前記第4金属層を電極最外面とする構造としたことを特徴とする半導体素子。

【請求項2】 表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続されたセラミックス製回路基板と、シリコン基板の表裏両面に電極が形成された半導体素子とを有し、前記セラミックス製回路基板の表面に形成された前記回路パターンの素子搭載部上に前記半導体素子とその裏面電極を介して接合されると共に、前記回路パターンのボンディング部が前記半導体素子の表面電極と金属細線を介して接合された半導体装置であって、

前記セラミックス製回路基板表面上の前記回路パターン面には、表面層の酸化防止作用を有し且つ前記金属細線と高密度着性を有する金属メッキ層が形成され、前記半導体素子の裏面電極の電極最外面に、前記金属メッキ層の異常拡散を阻止するための低融点合金層を形成したことを特徴とする半導体装置。

【請求項3】 前記半導体素子の前記裏面電極は、前記シリコン基板の裏面に形成されたバナジウム又はタニウムの第1金属層と、前記第1金属層に積層被着されたニッケル又はニッケル合金の第2金属層と、前記第2金属層に積層被着された金・ゲルマニウム・アンチモン合金の第3金属層と、前記第3金属層に積層被着された金・錫合金の第4金属層とを有し、前記第4金属層を前記低融点合金層とする構造であることを特徴とする請求項2記載の半導体装置。

【請求項4】 表側には同一回路パターンを規則的に複数個形成し且つ裏側には表側の前記回路パターンにスルーホールを介して接続された電極を規則的に複数個形成したセラミックス製回路基板に、請求項1記載の半導体素子を還元性又は不活性雰囲気下の第1の温度で第1の時間に亘り複数個配置し、その後前記複数個の半導体素子を配置したセラミックス製回路基板を前記第1の温度よりも高い第2の温度で第1の時間よりも短い第2の時間に亘り加熱し、前記セラミックス製回路基板における前記回路パターンの内部電極と前記半導体素子の表面電極とを金属細線で接続し、前記複数個の半導体素子が配置され金属細線で接続されたセラミックス製回路基板の前記回路パターン形成面全

体を樹脂で封止し、これを個々の半導体装置に分割したことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、裏面電極を有する半導体素子、この半導体素子を搭載した半導体装置、及び前記半導体装置の製造方法に関する。

## 【0002】

【従来の技術】従来、ダイオードやトランジスタ等の個別半導体装置としては、例えば図6に示すようなものがあった。

【0003】図6(a)、(b)は、従来の小信号トランジスタの構造を示す図であり、同図(a)はその平面図、同図(b)は断面図である。

【0004】同図に示すように、この半導体装置は、表面電極102と裏面電極103を有する半導体素子101が、リードフレーム104の素子搭載部104aに裏面電極103を介して固定されている。さらに、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間がAuやCu等の金属細線105で接続されて、これら全体がエポキシ等の高分子樹脂106で封止され、リードフレーム104のアウトリード104cが所定の形状に整形・切断された構造を成している。

【0005】半導体素子101の裏面電極103は、バナジウム又はタニウムと、ニッケル又はニッケル合金と、金・ゲルマニウム・アンチモン合金とから成る。この半導体素子101を、リードフレーム104の素子搭載部104aに還元性雰囲気下の高温度(390℃程度)で配置し、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間をAuやCu等の金属細線105で接続する。

【0006】しかる後に、これら全体をエポキシ等の高分子樹脂106で封止し、リードフレーム104のアウトリード104cに半田メッキや半田ディップ等の外装処理を施し、所定の形状に整形・切断して、上記構造の半導体装置を得ている。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置では、半導体装置の信頼性(主に耐湿性)を維持するために、リードフレーム104のインナーリード104bに屈曲部104dを設ける必要があること、リードフレーム104の加工限界からインナーリード104bと素子搭載部104aとの間隔をほぼリードフレーム104板厚と同等以下にはできないこと、さらにアウトリード104cを有すること等の理由により、パッケージの超小型化を実現することができなかった。

【0008】そこで、半導体装置の小型化を図る観点から、図7に示すような構造が特開平9-275178号